

R E P U B L I Q U E F R A N C A I S E

INPI

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

1 SEP 2003

WIPO

PCT

PCT/IB 03 / 03399
05.08.03

BREVET D'INVENTION

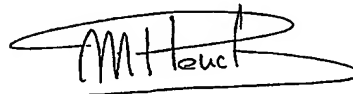
CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 11 AVR. 2003

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets



Martine PLANCHE

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr

1er dépôt



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11354*01

REQUÊTE EN DÉLIVRANCE 1/2

REMISE DES PIÈCES DATE 21 AOUT 2002 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0210452 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 21 AOUT 2002		Cet Imprimé est à remplir lisiblement à l'encre noire DB 540 W / 250599 11 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Anne Utzmann-North Société Civile SPID 156, boulevard Haussmann 75008 PARIS	
Vos références pour ce dossier (facultatif) PHFR020087			
Confirmation d'un dépôt par télécopie <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
2 NATURE DE LA DEMANDE Demande de brevet <input checked="" type="checkbox"/> Demande de certificat d'utilité <input type="checkbox"/> Demande divisionnaire <input type="checkbox"/> <i>Demande de brevet initiale</i> N° _____ Date ____/____/____ <i>ou demande de certificat d'utilité initiale</i> N° _____ Date ____/____/____ Transformation d'une demande de brevet européen <i>Demande de brevet initiale</i> <input type="checkbox"/> N° _____ Date ____/____/____		Cochez l'une des 4 cases suivantes	
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) Ligne à retard pour trajets de propagation multiples.			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation _____ N° _____ Date ____/____/____ Pays ou organisation _____ N° _____ Date ____/____/____ Pays ou organisation _____ N° _____ Date ____/____/____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»	
Nom ou dénomination sociale		Koninklijke Philips Electronics N.V.	
Prénoms			
Forme juridique		Société de droit néerlandais	
N° SIREN		
Code APE-NAF		
Adresse	Rue	Groenewoudseweg 1	
	Code postal et ville	5621 BA Eindhoven	
Pays		Pays-Bas	
Nationalité			
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

1er dépôt



**BREVET D'INVENTION
CERTIFICAT D'UTILITÉ**

REQUÊTE EN DÉLIVRANCE 2/2

Réservé à l'INPI	
REMISE DES PIÈCES DATE 21 AOUT 2002 LIEU 75 INPI PARIS N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI 0210452	
DB 540 VI / 260399	
Vos références pour ce dossier : (facultatif)	PHFR020087
6 MANDATAIRE	
Nom	Utzmann-North
Prénom	Anne
Cabinet ou Société	Société Civile SPID
N° de pouvoir permanent et/ou de lien contractuel	pouvoir général n° 7036 délégation de pouvoir n° 10473
Adresse	Rue 156 boulevard Haussmann
	Code postal et ville 75008 PARIS
N° de téléphone (facultatif)	01 40 76 80 00
N° de télécopie (facultatif)	01 45 61 05 36
Adresse électronique (facultatif)	
7 INVENTEUR (S)	
Les inventeurs sont les demandeurs	<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée
8 RAPPORT DE RECHERCHE	
Établissement immédiat ou établissement différé	<input checked="" type="checkbox"/> Établissement immédiat <input type="checkbox"/> Établissement différé
Paiement échelonné de la redevance	Paiement en trois versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non
9 RÉDUCTION DU TAUX DES REDEVANCES	Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes	
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire) Anne Utzmann-North Mandataire SPID 422-5 / S008	VISA DE LA PRÉFECTURE OU DE L'INPI

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

DESCRIPTION**Domaine de l'invention**

5 La présente invention concerne un récepteur pour recevoir un signal d'entrée comprenant une série d'échantillons, ledit récepteur comportant une ligne à retard. Elle concerne également un procédé de retardement de tels signaux d'entrée.

Elle trouve une application particulière notamment dans les téléphones mobiles définis par le standard UMTS.

10 **Arrière plan technologique de l'invention**

Selon le standard UMTS (« norme 3GPP release 99 ») déterminé par le groupe ETSI, lorsqu'un signal initial est émis par une station de base, il subit de multiples réflexions, diffractions et atténuations. Ces phénomènes sont provoqués par des obstacles de l'environnement tels que les immeubles ou les montagnes ; la conséquence est l'existence de trajets de propagation multiples et des copies du signal initial de puissance variable. Ainsi, le signal initial peut mettre plus ou moins de temps à arriver au niveau du récepteur du téléphone mobile en fonction du parcours qu'il emprunte. Par ailleurs, le récepteur peut également recevoir un signal composé de la superposition de plusieurs signaux provenant de deux stations de base différentes de chemins de propagation différents et comportant une même information à transmettre.

20 Au niveau du récepteur, le signal d'entrée est échantillonné à une fréquence de 15,36 MHz. Le récepteur doit alors être capable d'identifier et de séparer les différents échantillons des copies du signal reçu correspondant aux trajets multiples afin de les recombinaison de façon cohérente pour retrouver l'information commune ou signal d'entrée initial. Il faut ainsi retarder le signal d'entrée jusqu'à ce que sa dernière copie soit arrivée pour pouvoir sommer de manière cohérente toutes les copies ensemble de manière à retrouver l'information voulue. A cet effet, le brevet américain US2001/0002919 décrit un récepteur comportant un démodulateur permettant de démoduler les échantillons en données dites symboles et une ligne à retard dans laquelle à chaque symbole est appliqué un retard égal à la différence de retard entre ledit symbole et le dernier symbole reçu. Afin de prendre en compte le pire des cas, la ligne à retard (couramment appelé dans la langue anglaise « Delay Line ») possède un nombre d'échantillons tel que ce nombre multiplié par l'inverse de la fréquence d'échantillonnage soit égal au temps maximum existant entre un premier et dernier symbole reçus (tous les trajets étant pris en compte).

35 Bien que cet état de la technique antérieur permette une gestion des trajets multiples, plusieurs lignes à retard sont nécessaires, soient $M-1$ si M trajets doivent être traités comme le montre la Fig. 1. De plus, ce nombre important de lignes a un coût en

terme de consommation en énergie et de surface de silicium pour le récepteur. Par ailleurs, dans le cas où le nombre de trajets augmenterait, il faudrait refaire un nouveau design du récepteur pour prendre en compte les nouveaux trajets et les nouveaux retards entre les différents signaux d'entrée décalés.

5

Résumé de l'invention

Aussi un problème technique à résoudre par un objet de la présente invention est de proposer un récepteur pour recevoir un signal d'entrée comprenant une série d'échantillons, ledit récepteur comportant une ligne à retard, ainsi qu'un procédé de retardement de signal d'entrée, qui permettent de traiter des trajets multiples de façon performante et ce sans utiliser de systèmes coûteux en terme de consommation d'énergie et de surface de silicium.

10

Une solution au problème technique posé se caractérise, selon un premier objet de la présente invention, en ce que la ligne à retard est destinée à retarder ledit signal d'entrée d'une série de retards et est divisée en une série de sous-lignes à retard chacune destinée à enregistrer un échantillon parmi la série d'échantillons dudit signal d'entrée, et en ce qu'elle comporte des moyens de contrôle destinés à générer des adresses de lecture des échantillons dans les sous-lignes à retard de la série d'échantillons du signal d'entrée de sorte qu'une adresse de lecture soit égale à une différence entre une adresse d'enregistrement d'un échantillon dans une sous-ligne à retard du signal d'entrée et un retard exprimé en nombre de périodes d'échantillonnage de la série de retards.

15

20

Selon un second objet de la présente invention, cette solution se caractérise, en ce que le procédé de retardement comporte les étapes de :

25

- diviser la ligne à retard en une série de sous-lignes à retard chacune destinée à recevoir un échantillon parmi la série d'échantillons du signal d'entrée, ladite ligne à retard étant destinée à retarder ledit signal d'entrée d'une série de retards, et
- générer des adresses de lecture des échantillons dans les sous-lignes à retard de la série d'échantillons du signal d'entrée de sorte que de sorte qu'une adresse de lecture soit égale à une différence entre une adresse d'enregistrement d'un échantillon dans une sous-ligne à retard du signal d'entrée et un retard exprimé en nombre de périodes d'échantillonnage de la série de retards.

30

35

Ainsi, comme on le verra en détail plus loin, on utilise un moyen simple pour définir les retards à appliquer aux différents échantillons en n'utilisant qu'une seule ligne à retard.

Avantageusement, chacune des sous-lignes à retard est accessible à une fréquence deux fois plus rapide que les échantillons d'un signal d'entrée reçu par le récepteur. De cette manière, il sera possible de lire plusieurs échantillons correspondant à plusieurs copies d'un signal d'entrée, de sorte que de multiples trajets de propagation pourront être gérés par une seule ligne à retard.

Par ailleurs, avantageusement, les adresses de lecture des échantillons d'une série d'échantillons sont à des adresses immédiatement adjacentes ou égales l'une de l'autre. Cela permet d'obtenir facilement une lecture en parallèle de tous les échantillons d'une série.

De plus, avantageusement, la ligne à retard comporte un facteur de position indiquant la position d'un échantillon de la série d'échantillons d'un signal d'entrée dans la sous-ligne à retard. Selon les valeurs prises par ce facteur de position, on saura à quelle sous-ligne à retard appartient un échantillon de la série d'échantillons d'un signal d'entrée.

Breve description des dessins

- La description qui suit, en regard des dessins annexés, le tout donné à titre d'exemples non limitatifs, fera bien comprendre en quoi consiste l'invention.
- la Fig. 1 illustre de façon schématique un récepteur avec des lignes à retard selon l'état de l'art antérieur,
 - la Fig. 2 illustre un récepteur avec une ligne à retard selon l'invention,
 - la Fig. 3 est un premier mode de réalisation de la ligne à retard du récepteur de la Fig. 2,
 - la Fig. 4 est une ligne de temps montrant des accès en lecture et en écriture d'échantillons dans la ligne à retard selon le premier mode de réalisation de la Fig. 3,
 - la Fig. 5 montre une répartition d'échantillons dans des zones de mémoire de la ligne à retard selon le premier mode de réalisation de la Fig. 3,
 - la Fig. 6 montre un adressage des zones de mémoire de la Fig. 5,
 - la Fig. 7 est un deuxième mode de réalisation de la ligne à retard du récepteur de la Fig. 2,
 - la Fig. 8 est une ligne de temps montrant des accès en lecture et en écriture d'échantillons dans la ligne à retard selon le deuxième mode de réalisation de la Fig. 7,
 - la Fig. 9 illustre une répartition d'échantillons dans les zones de mémoire de la ligne à retard selon le deuxième mode de réalisation de la Fig. 7,
 - la Fig. 10 illustre des accès à des zones de mémoire de la ligne à retard selon le deuxième mode de réalisation de la Fig. 7,
 - la Fig. 11 montre des accès en lecture à des zones de mémoire de la ligne à retard selon le deuxième mode de réalisation de la Fig. 7,
 - la Fig. 12 montre des regroupements d'accès en lecture à des zones de mémoire de la ligne à retard selon le deuxième mode de réalisation de la Fig. 7,

- la Fig. 13 illustre une sélection d'un ensemble de zones de mémoire de la ligne à retard selon le deuxième mode de réalisation de la Fig. 7, et
- la Fig. 14 est une première variante de réalisation de la ligne à retard selon le deuxième mode de réalisation de la Fig. 7.

5

Description de l'invention

Dans l'exposé qui suit, les fonctions ou structures bien connues de l'homme du métier ne seront pas décrites en détail car elles encombreraient inutilement la description.

10 Le présent exposé de l'invention a trait à un exemple de récepteur RECEP utilisé dans le domaine de la téléphonie mobile, et intégré notamment dans un téléphone portable, téléphone appelé également mobile. Le récepteur RECEP fonctionne selon le standard UMTS.

Selon ce standard, un récepteur RECEP doit être capable de gérer au maximum 6 trajets FING de propagation correspondant à 6 copies d'un signal d'entrée INPUT contenant une même information, les copies provenant de 6 stations de base différentes ou
15 correspondant à 6 copies provenant d'un même signal initial émis par une unique station de base, et étant décalées dans le temps et de puissance variable.

Au niveau du récepteur RECEP, chaque signal reçu est démodulé en bande de base puis échantillonné par un convertisseur analogique/numérique à une fréquence de 15,36 MHz, i.e. une donnée DATA, couramment appelé quart de chip, d'un tel signal comporte une
20 série d'échantillons S. Les différents échantillons se présentent de façon connue de l'homme du métier sous la forme imaginaire I ou réelle Q. Il y a 4 quarts de chip par signal d'entrée reçu correspondant à un trajet FING.

Pour retrouver l'information commune à partir du signal d'entrée reçu INPUT, le récepteur RECEP doit récupérer les copies de ce signal puis les gérer en parallèle. Plus
25 particulièrement, il doit identifier et séparer les différents échantillons S du signal d'entrée reçu afin de les recombler de façon cohérente pour recouvrer l'information commune, et ce afin d'améliorer la qualité de réception de l'information commune. Aussi, ledit récepteur RECEP doit-il attendre de recevoir la dernière copie du signal d'entrée INPUT pour commencer son opération de recouvrement. Il doit donc retarder toutes les copies du signal
30 d'entrée INPUT jusqu'à ce que la dernière soit reçue.

On notera qu'étant donné que les échantillons S reçus comportent x copies de la même information décalée dans le temps. De ce fait, lesdits échantillons sont susceptibles d'appartenir à n'importe quel trajet. Ce qui va les différencier sera le retard appliqué au signal d'entrée. Grâce à ce retard, il sera possible de savoir à quelle copie du signal d'entrée
35 et donc à quel trajet FING tel ou tel échantillon appartient.

Afin de pouvoir gérer 6 trajets, selon un premier mode de réalisation non limitatif, comme le montre la Fig.2, le récepteur RECEP comporte :

- une ligne à retard D_LINE pour retarder le signal d'entrée INPUT, et
- une pluralité d'unités de gestion PROC+DEM0D en parallèle des échantillons issus de la ligne à retard D_LINE.

Ces deux éléments sont compris dans un circuit intégré du récepteur RECEP.

On notera que le récepteur RECEP fonctionne selon une horloge CLK de fréquence 15,36MHz.

Une série d'échantillons comporte en général quatre échantillons dont :

- un premier échantillon IN_TIME appelé échantillon de référence qui est l'échantillon qui est supposé posséder la plus grande énergie,
- un deuxième échantillon appelé précédent EARLY qui se trouve juste avant le premier échantillon IN_TIME,
- un troisième échantillon appelé suivant LATE qui se trouve juste après, et
- un quatrième VOID.

Pour des raisons d'efficacité au niveau capture des échantillons, pour chaque quart de chip, les trois premiers échantillons décrits ci-dessus, appelés échantillons utiles, seront pris en compte pour les calculs d'énergie pour un trajet donné.

On suppose qu'un échantillon entre dans la ligne à retard D_LINE à chaque cycle d'horloge CLK. Dans ce cas, il est nécessaire d'avoir une écriture à chaque cycle d'horloge, soient 4 écritures d'échantillons à 4 adresses successives tous les 4 cycles d'horloge CLK, et 18 lectures (3 pour 6 trajets FING) tous les 4 cycles d'horloge CLK, la lecture des échantillons se faisant au même rythme que l'écriture.

On notera que la contrainte posée est d'obtenir en sortie de la ligne à retard D_LINE, un échantillon choisit parmi quatre échantillons, soit d'obtenir un échantillon à une fréquence de 3.84MHz.

A cet effet, la ligne à retard D_LINE comporte, comme illustré à la Fig. 3, de préférence :

- un générateur d'adresses d'écriture WR_ADD_GEN destiné à générer des adresses d'enregistrement dans la mémoire de la ligne à retard D_LINE pour les échantillons d'une série d'échantillons,
- des moyens de contrôle RD_ADD_GEN destinés à générer des adresses de lecture pour les échantillons dans la ligne à retard D_LINE de la série d'échantillons d'un signal d'entrée,
- 3 multiplexeurs MUX, et
- 4 registres REG d'écriture.

De plus, avantageusement, la ligne à retard D_LINE est divisée en une série de sous-lignes à retard ZONE, ici quatre, le même nombre que le nombre d'échantillons dans une série d'échantillons. Chaque sous-ligne à retard ZONE est destinée à enregistrer un échantillon parmi la série d'échantillons IN-TIME, EARLY, LATE, VOID d'un signal d'entrée INPUT.

5 A la série des quatre sous-lignes à retard ZONE est associée de préférence une série de quatre zones de mémoire. Ces 4 zones de mémoire sont de préférence des mémoires volatiles RAM simple port 512*12bits.

10 Toutes les sous-lignes à retard ZONE sont lues en parallèle, et 6 accès en lecture sont faits tous les 4 cycles. Avantageusement, chaque zone de mémoire est accessible 2 fois à chaque cycle d'horloge CLK, soit à une fréquence d'accès deux fois plus rapide que celle à laquelle le récepteur RECEP reçoit les échantillons d'un signal d'entrée, soit ici à une fréquence constante de 30.72MHz.

15 On notera que le fait d'avoir de telles zones mémoire au lieu de bascules classiques formant les sous-lignes à retard, présente l'avantage d'utiliser moins de place dans le circuit du récepteur. En effet, il faudrait utiliser 512*12*4 bascules pour obtenir le même résultat.

La gestion des séries d'échantillons S de signaux d'entrée INPUT se fait de la manière suivante.

20 **Dans une première étape 1),** lorsqu'une série d'échantillons S arrive sur la ligne à retard D_LINE, un quart de chip par cycle d'horloge CLK, par exemple 4 échantillons S1, S2, S3, S4, ils sont enregistrés dans les 4 registres d'écriture REG0, REG1, REG2 et REG3, comme le montre la Fig. 4. Ces quatre échantillons, correspondant à un chip complet, sont potentiellement utiles pour chacun des trajets FING considérés. Ainsi, pour un trajet FING

25 donné, parmi ces quatre échantillons se trouvent les échantillons qui sont utiles IN_TIME, EARLY et LATE à une place indéterminée pour le moment. Les registres d'écriture REG stockent en mémoire les échantillons reçus pendant 4 cycles d'horloge CLK. Cela permet d'avoir par la suite des accès synchronisés en écriture ou en lecture pour toutes les sous-lignes à retard ZONE0 à ZONE3.

30 **Dans une deuxième étape 2),** lorsque le dernier échantillon S4 a été reçu, le générateur d'adresses d'écriture WR_ADD_GEN génère 4 adresses ADD d'enregistrement, une pour chacune des sous-lignes à retard ZONE0 à ZONE3, et les 4 échantillons S1 à S4 sont écrits (WR2) dans chacune des sous-lignes à retard ZONE0 à ZONE3. L'écriture WR2 se fait en 1/2 cycle d'horloge CLK.

35 On notera que la zone de mémoire associée à une sous-ligne à retard étant de taille de 512*12bits, chaque sous-ligne à retard ZONE est écrite à une même adresse de façon cyclique tous les 512 cycles d'horloge CLK.

Plus précisément, le générateur d'adresses d'écriture WR_ADD_GEN est un compteur qui s'incrémente à chaque fois que 4 échantillons S sont enregistrés respectivement dans les registres REG et qui génère de manière cyclique 4 commandes d'activation EN1, EN2, EN3 et EN4 pour enregistrer lesdits échantillons S dans les sous-lignes à retard ZONE, comme le montre la Fig. 3. On notera qu'un pointeur d'adresses WR_PTR est utilisé pour écrire les échantillons S aux adresses associées et est incrémenté à chaque écriture jusqu'à ce qu'il ait atteint la fin des 4 zones de mémoire ZONE simultanément. A la fin, ledit pointeur revient en début de zones.

Dans une troisième étape 3), la série d'échantillons est lue de sorte que le premier échantillon IN_TIME de cette série aient un retard τ en sortie par rapport à l'entrée, retard représentant le retard associé à un trajet FING, chaque retard associé à un trajet FING étant connu du récepteur RECEP. Un pointeur de lecture RD_PTR est utilisé pour lire les échantillons. Ce pointeur comme le pointeur d'écriture WR_PTR est cyclique.

On remarquera qu'une série d'échantillons peut appartenir à n'importe quel signal d'entrée INPUT et par suite trajet FING car ils véhiculent la même information. C'est le retard τ appliqué qui détermine le trajet FING auquel appartient une série d'échantillons.

Ainsi, pour chaque premier échantillon IN_TIME reçu, on a une adresse de lecture @RD égale à son adresse d'écriture @WR moins le retard τ associé au trajet correspondant FING, modulo 512, un retard τ étant exprimé en nombre de périodes d'échantillonnage.

Les moyens de contrôle RD_ADD_GEN qui sont de façon pratique un générateur d'adresse de lecture permet de générer ces adresses de lecture de sorte qu'elles soient égales à une différence entre une adresse d'enregistrement d'un échantillon dans les sous-lignes à retard ZONE du signal d'entrée et les retards τ appliqués au signal d'entrée.

On notera que, dans l'application décrite, l'horloge CLK a une fréquence de 15.36MHz, donc la période d'échantillonnage est de $T_{ech} = 65$ ns environ. Si on veut un retard de 650 ns par exemple, la valeur d'un retard τ exprimé en nombre de périodes d'échantillonnage sera 10.

D'après ce qui précède, on a :

$$@RD = (@W - \tau) \text{ modulo } 512.$$

Avantageusement, les échantillons précédent et suivant EARLY, LATE sont écrits à des adresses ADD qui ne diffèrent de celle du premier échantillon IN_TIME que de +1 ou -1, i.e. les 3 échantillons utiles d'un chip sont enregistrés à des adresses successives.

Par ailleurs, on notera qu'avantageusement, une même sous-ligne à retard ZONE ne comporte pas 2 échantillons provenant d'un même chip. Par exemple, on n'aura jamais un premier échantillon IN_TIME et le suivant LATE dans une seule sous-ligne à retard ZONE,

i.e. dans une seule zone de mémoire ZONE. Par suite, comme nous allons le voir ci-après, ces trois échantillons IN_TIME, EARLY et LATE pourront être lus par une unique opération de lecture et l'échantillon désiré, i.e. celui qui a la plus grande énergie, sera sélectionné par un multiplexeur MUX et redirigé vers le trajet FING correspondant.

5

Les Fig. 5 et 6, montrent les adresses ADD de lecture des différents échantillons selon la position prise de l'échantillon de référence IN_TIME dans la ligne à retard D_LINE.

La position d'un échantillon de référence IN_TIME est déterminée par un facteur de position DOWN_POS. Ainsi, à une zone de mémoire ZONE est associée une valeur du facteur de position DOWN_POS comme le montre le tableau suivant.

10

DOWN_POS=0	DOWN_POS=1	DOWN_POS=2	DOWN_POS=3
ZONE0	ZONE1	ZONE2	ZONE3

15

Par ailleurs, la valeur de ce même facteur de position DOWN_POS va déterminer les adresses de lecture des deux autres échantillons précédent et suivant EARLY et LATE par rapport à l'adresse de l'échantillon de référence IN_TIME. Les deux autres échantillons précédent et suivant EARLY et LATE vont être lus, de préférence, à des adresses égales ou immédiatement adjacentes de celle dudit échantillon de référence IN_TIME dans leur zone de mémoire respective ZONE. Par exemple, on peut voir sur la Fig. 6 que lorsque le facteur de position DOWN_POS est égal à 2 ou 3, les 2 autres échantillons EARLY et LATE sont à des adresses de lecture @RD égales à l'adresse de lecture du premier échantillon IN_TIME. Dans le cas où le facteur de position DOWN_POS est égal à 0, l'échantillon précédent EARLY se trouve à une adresse précédente @RD-1 et l'échantillon suivant LATE à une même adresse de lecture @RD. Enfin, lorsque le facteur de position DOWN_POS est égal à 3, l'échantillon précédent EARLY se trouve à une même adresse @RD et l'échantillon suivant LATE à une adresse de lecture suivante @RD+1.

20

25

Avantageusement, les adresses de lecture des échantillons utiles précédent EARLY et suivant LATE ont des valeurs de facteur de position DOWN_POS associées qui diffèrent de +1 ou -1 par rapport à l'échantillon de référence IN_TIME. Cela évite d'avoir 2 échantillons utiles dans une même zone de mémoire ZONE.

30

De façon pratique, comme illustré à la Fig. 3, le générateur d'adresse de lecture RD_ADD_GEN reçoit en entrée 6 valeurs de retards τ correspondant à 6 trajets FING et 6 valeurs de facteurs de position DOWN_POS différentes associées aux 6 trajets FING et génère 2 adresses de lecture uniquement au lieu de 3 puisque seulement 2 adresses ADD de lecture sont nécessaires pour lire 3 échantillons comme nous l'avons vu précédemment.

Ainsi, comme on peut le voir sur la Fig. 4, après l'écriture des échantillons, lors d'une première lecture RD1, les 4 échantillons IN_TIME, EARLY, LATE et VOID correspondant à un premier trajet FING1, vont être lus simultanément dans les 4 zones de mémoire correspondantes et ce en 1/2 cycle d'horloge CLK, à partir de 2 adresses de lecture. Dans cet exemple, comme le montre la Fig. 3, le facteur de position DOWN_POS correspondant au premier trajet FING1 est égal à 0. L'échantillon de référence IN_TIME (en noir sur la Fig.) se trouve dans la première zone de mémoire ZONE0 à une adresse courante @RD, le suivant LATE (hachures horizontales sur la Fig.) se trouve dans la deuxième zone de mémoire ZONE1 à la même adresse courante @RD, tandis que le précédent EARLY (hachures diagonales sur la Fig.) se trouve dans la quatrième zone de mémoire ZONE3 à une adresse précédente @RD-1 de l'adresse courante @RD. Le quatrième échantillon VOID est également lu et se trouve ici dans la troisième zone de mémoire ZONE2.

Lors d'une deuxième lecture RD2, les 3 échantillons IN_TIME, EARLY et LATE correspondant à un deuxième trajet FING2, vont être lus et ce en 1/2 cycle d'horloge CLK, à partir de 2 adresses. Dans l'exemple de la Fig. 3, le facteur de position DOWN_POS correspondant au deuxième trajet FING2 est égal à 2. L'échantillon de référence IN_TIME (en noir sur la Fig.) se trouve dans la troisième zone de mémoire ZONE2 à une adresse courante @RD, le suivant LATE (hachures horizontales sur la Fig.) se trouve dans la quatrième zone de mémoire ZONE3 à la même adresse courante @RD, et le précédent EARLY (hachures diagonales sur la Fig.) se trouve dans la deuxième zone de mémoire ZONE1 à la même adresse @RD également. Le quatrième échantillon VOID (en gris sur la Fig.) est également lu et se trouve ici dans la première zone de mémoire ZONE0.

Et ainsi de suite pour tous les échantillons IN_TIME, EARLY et LATE correspondant aux 6 trajets FING.

En 4 cycles d'horloge CLK on a ainsi fait une écriture et 6 lectures dans la ligne à retard D_LINE. A la fin de la dernière lecture RD6, 24 échantillons auront été lus.

Au cycle d'horloge suivant, l'étape d'écriture 2) et de lecture 3) recommencent. Ainsi, par exemple, entre deux lectures d'échantillons d'un premier trajet FING1, il se sera écoulé 8 demi-cycles d'horloge CLK.

On notera que les valeurs des facteurs de position DOWN_POS d'échantillons associés à chaque trajet FING sont déterminées par un module de rectification (non représenté) qui calcule l'énergie de chaque échantillon lu et détermine en conséquence l'échantillon qui possède la plus grande énergie parmi les 3 échantillons lus IN_TIME, EARLY et LATE utiles. A ce moment, selon ses calculs, ledit module de rectification va rectifier les valeurs des facteurs de position DOWN_POS qui sont entrées dans le générateur d'adresses de lecture RD_ADD_GEN, afin que la ligne à retard D_LINE se cale correctement sur les échantillons et fournisse les échantillons utiles, à savoir l'échantillon de référence IN_TIME,

le suivant LATE et le précédent EARLY. Par exemple, dans le cas de la Fig. 3, si dans les échantillons reçus du deuxième trajet FING2, c'est en fait l'échantillon précédent EARLY qui possède le plus d'énergie, pour la lecture suivante de ce deuxième trajet FING2, on se recalcule sur cet échantillon qui devient alors l'échantillon de référence IN_TIME en mettant la valeur du facteur de position DOWN_POS à 1. Ces calculs par le module de rectification se font à chaque lecture d'une série d'échantillons.

On notera que dans certains cas, il sera nécessaire de changer l'adresse de lecture également d'un échantillon.

On notera que lorsque le récepteur RECEP reçoit les quatre premiers échantillons du tout premier trajet FING, lors d'une étape d'initialisation, le module de rectification recherche l'échantillon de référence IN_TIME, i.e. celui qui a le plus d'énergie parmi les quatre et attribue une première valeur au facteur de position DOWN_POS.

On notera également qu'en vue d'éviter d'avoir un pointeur de lecture RD_PTR qui pointerait sur une adresse ADD ne comportant pas d'échantillon, avantageusement on attend que toute la ligne à retard D_LINE, soient toutes les zones de mémoire ZONE, soit remplies par des échantillons. On attend ainsi 512 coups d'horloge CLK ou quarts de chip. Pour avoir une marge de sécurité, de préférence, on attend pendant un temps de 2560 chips, 2560 chips représentant une unité appelée slot connue de l'homme du métier.

On notera par ailleurs que l'adresse courante de lecture @RD pour un échantillon se situe environ au milieu de la ligne à retard D_LINE de sorte que s'il existe d'autres trajets qui sont reçus, les échantillons correspondants se trouvent toujours dans la ligne à retard D_LINE.

On notera qu'on ne gère pas de retard $\tau = 0$ (écriture et lecture en même temps d'un même échantillon) et on ne gère pas non plus de retard $\tau = 512$ qui présentent des positions extrêmes, car dans ces cas, les pointeurs d'écriture WR_PTR et de lecture RD_PTR pointeraient sur des adresses comprenant des échantillons non valides.

Dans une quatrième étape 4), les 4 échantillons lus IN_TIME, EARLY, LATE et VOID sont dirigés sur trois multiplexeurs MUX. Les trois multiplexeurs choisissent respectivement l'échantillon de référence IN_TIME, le précédent EARLY et le suivant LATE, en fonction du facteur de position DOWN_POS, et les redirigent vers un processeur PROC de l'unité de gestion PROC+DEMOD du récepteur RECEP.

On recommence les étapes 1 à 4 pour les autres trajets.

Après avoir identifié et séparé tous les différents échantillons reçus des 6 signaux d'entrée reçus (soient 3 chips lus pour chaque trajet) selon les étapes précédentes, on les recombine de façon cohérente pour recouvrer l'information commune.

Dans une cinquième étape 5), le processeur PROC détermine selon l'énergie les échantillons de référence IN_TIME et selon le retard τ à quel trajet FING chaque échantillon de référence IN_TIME appartient, puis il dirige chaque échantillon de référence IN_TIME vers un démodulateur DEMOD associé audit trajet. Ledit démodulateur DEMOD combine
5 chaque échantillon IN_TIME avec un code relatif au trajet associé FING. Par la suite, tous les échantillons de référence IN_TIME sont sommés ensemble pour retrouver l'information commune.

On notera qu'il existe un démodulateur DEMOD par trajet, soit ici 6 démodulateurs DEMOD. Ces démodulateurs traitent en parallèle les échantillons IN_TIME de leur trajet
10 respectif.

On notera que lorsque le mobile s'éloigne d'une station de base, les retards τ associés aux différents trajets FING peuvent changer. Afin de prendre en compte ces changements, il existe un module de calcul (non représenté) des retards associés aux trajets qui entre les valeurs des retards τ réactualisées dans la ligne à retard D_LINE. Un tel
15 module est bien connu de l'homme du métier.

Ainsi, ce premier mode de réalisation de l'invention présente de nombreux avantages listés ci-après.

Premièrement, la ligne à retard est simple à implémenter. Elle se base sur un
20 principe de gestion de mémoires simple et sur un ensemble de mémoires de même taille ce qui facilite l'implémentation d'une telle ligne à retard sur le circuit intégré d'un récepteur lors d'une phase de placement routage, phase bien connue de l'homme du métier.

Deuxièmement, grâce à la ligne à retard, on a pu retarder efficacement un signal d'entrée par rapport à un autre sans consommer trop d'énergie ni utiliser trop de mémoire.
25

En effet, en pratique, si on implémente le circuit intégré du récepteur RECEP avec la technologie CMOS 0.18 μm , on peut obtenir les comparaisons suivantes.

- On notera que pour une telle technologie, la formule suivante est appliquée pour
30 estimer une consommation en énergie = (taille de RAM en Kbits/16)*((Nombre d'accès en lecture + Nombre d'accès en écriture) en Méga nombre d'accès/sec)* 60×10^{-6} (60 μW /MHz pour cette technologie) en sachant que mémoire RAM de 16Kbits consomme 60 μW /Mega-accès/sec. Ainsi, Par rapport à la solution décrite dans l'état de la technique antérieur, alors que l'énergie consommée par la ligne à retard de cet état de la technique antérieur est de l'ordre de 7mW lorsque le
35 récepteur est en mode activé et de l'ordre de 210 μW en mode veille, l'énergie consommée par la ligne à retard selon l'invention est respectivement de 1,2mW et

36 μ W (le ratio entre le mode activé et le mode veille étant de l'ordre de 3%) et ce pour un facteur d'étalement SF égal à 8, le facteur d'étalement étant le nombre de chips dans un symbol. En général, au niveau de ce type de consommation, la ligne à retard selon l'invention aura de meilleures performances que l'état de la technique antérieur jusqu'à un facteur d'étalement SF égal à 16. Pour une valeur de facteur d'étalement SF supérieure, la consommation de la ligne à retard selon l'invention reste toutefois négligeable comparée à la consommation du circuit intégré du récepteur pris dans son ensemble.

Enfin, le fait d'avoir des adresses de lecture ou écriture communes pour la ligne à retard selon l'invention permet d'éviter une duplication des bus de donnée et d'adresse et par suite de réduire d'autant la consommation.

- Par rapport à la solution décrite dans l'état de la technique, alors que la mémoire utilisée par l'état de la technique est de 54Kbits ($18 \times 32 \text{bits} \times (512/4)$), la mémoire du premier mode de réalisation selon l'invention n'est que de 24Kbits ($1 \times 12 \text{bits} \times 512 \times 4 \text{zones}$).

Troisièmement, les vitesses d'accès en lecture et en écriture dans une mémoire sont plus rapides pour le récepteur RECEP selon l'invention que pour un récepteur comprenant une ligne à retard selon l'état de la technique décrit.

En effet, pour la ligne à retard selon l'invention, la vitesse d'accès en lecture est de $30.72 \text{MHz} \times 6/8 \times 3/4$, tandis que pour l'état de la technique elle est de $3.84 \text{MHz} \times 3 \times 6 \times 1/\text{SF}$ et la vitesse d'accès en écriture est de $30.72 \text{MHz} \times 1/8 \times 4/4$ et de $3.84 \text{MHz} \times 3 \times 6 \times 1/\text{SF}$ respectivement. La vitesse d'accès à la ligne à retard selon l'invention est toujours constante et de 30.72MHz comme nous l'avons vu précédemment alors que celle de la ligne à retard de l'état de la technique antérieur est dépendante du facteur d'étalement SF.

Quatrièmement, grâce au récepteur selon l'invention, il est possible de gérer le nombre de trajets demandés par la norme UMTS, soit 6 trajets. Bien entendu, on peut également gérer moins de 6 trajets. Cela dépend du nombre de trajets empruntés par un signal initial. Ce nombre de trajets est déterminé de façon connue de l'homme du métier par un module de recherche (appelé couramment dans la langue anglaise « searcher ») placé avant la ligne à retard D_LINE.

Par ailleurs, bien que la norme UMTS ne le réclame pas, le récepteur RECEP selon l'invention peut gérer un 7^{ème} signal correspondant à un 7^{ème} trajet. Comme on peut le voir sur la Fig. 4, une 7^{ème} lecture, représentée par la référence X peut effectivement être effectuée. Dans ce cas, en 4 cycles d'horloge CLK on a une écriture et 7 lectures dans la ligne à retard D_LINE.

Bien entendu, le cadre de l'invention n'est nullement limité au premier mode de réalisation décrit ci-dessus et des variations ou modifications peuvent y être apportés sans pour autant s'écarter de l'esprit et de la portée de l'invention.

5 Par exemple, dans le cas où la norme UMTS évoluerait, on prévoit de gérer beaucoup plus de trajets que les 7 trajets considérés.

Ainsi, souvent il est nécessaire de pouvoir gérer 6 trajets provenant d'une même première station de base, celle sur laquelle est connecté le mobile, plus 2 trajets supplémentaires issus d'une deuxième station de base différente pour des mesures dites
10 SFN-SFN permettant d'effectuer un transfert continu d'une première station de base sur laquelle est connecté un mobile vers une deuxième station de base, cette technique étant couramment appelée « handover » en anglais.

A cet effet, le récepteur RECEP selon l'invention pourrait comporter deux lignes à retard D_LINE telles que définies précédemment avec chacune 4 zones de mémoire de
15 512*12bits, soit 48Kbits de mémoire. Quatorze trajets différents pourraient ainsi être gérés. Cependant, dans ce cas, la mémoire utilisée ainsi que la place sur le silicium serait importante ainsi que la consommation en énergie pour le circuit intégré du récepteur RECEP.

On pourrait également augmenter de nouveau la fréquence de lecture de la mémoire de la ligne à retard. Cependant d'un point de vue pratique, on s'approche des
20 limites de la technologie.

Aussi, afin de pouvoir gérer au moins 8 trajets sans utiliser trop de mémoire, selon un deuxième mode de réalisation, la ligne à retard D_LINE du récepteur RECEP est divisée en deux séries BANK0 et BANK1 de sous-lignes à retard de 4 sous-lignes chacune, soient 8
25 sous-lignes à retard ZONE0 à ZONE7 au total. A chacune des sous-lignes à retard est associée une zone de mémoire de 256*12bits chacune, ce qui permet de ne pas augmenter la taille totale de la mémoire utilisée. Une sous-ligne à retard ZONE est toujours accessible à une fréquence de 30.72MHz, et 15 accès en lecture sont possibles tous les 8 cycles d'horloge. La fréquence d'entrée des échantillons est toujours de 15.36MHz, correspondant à
30 un cycle d'horloge CLK.

Selon ce deuxième mode de réalisation, la ligne à retard D_LINE comporte, comme illustré à la Fig. 7, de préférence :

- toujours un générateur d'adresses d'écriture WR_ADD_GEN destiné à générer des
35 adresses d'enregistrement dans la mémoire de la ligne à retard D_LINE pour les échantillons d'une série d'échantillons,

- toujours des moyens de contrôle RD_ADD_GEN destinés à générer des adresses de lecture pour les échantillons dans la ligne à retard D_LINE de la série d'échantillons d'un signal d'entrée,
- 6 multiplexeurs MUX, et
- 5 - 8 registres REG d'écriture.

Comme le montre la Fig. 8, dans l'exemple de 8 trajets, il y a un accès en enregistrement et 8 accès en lecture entre 2 écritures tous les 8 cycles d'horloge CLK. Ainsi, les échantillons d'un trajet FING seront lus avec une période de 8 cycles d'horloge CLK.

10 Par conséquent, **dans une première étape 1)**, lorsque des échantillons S arrivent sur la ligne à retard D_LINE, 1 échantillon par cycle d'horloge CLK, ils sont enregistrés respectivement dans les registres d'écriture REG0 à REG7. On attend que 8 échantillons soient arrivés, les registres d'écriture REG les stockent en mémoire pendant 8 cycles d'horloge. On notera que dans les 8 échantillons, on a 2 séries de 3 échantillons utiles

15 IN_TIME, EARLY et LATE correspondants à la réception de 2 chips CHIP successifs.

Dans une deuxième étape 2), l'écriture des 8 échantillons dans les 8 sous-lignes à retard s'effectue comme décrit précédemment lors du premier mode de réalisation. Tous les 8 cycles d'horloge CLK, il y aura donc une écriture d'un échantillon dans chaque zone de mémoire ZONE, l'écriture se faisant en parallèle pour toutes ces zones. Ainsi, à une adresse

20 donnée ADD, la ligne à retard D_LINE contient donc 8 échantillons.

La Fig. 9 montre une organisation des différentes sous-lignes à retard ZONE lorsqu'elles sont remplies par des échantillons S. Il y a 2048 échantillons au total.

Les 4 échantillons 0, 1, 2, 3 du premier chip reçu sont enregistrés dans les zones de mémoires ZONE0 à ZONE3 tandis que les 4 échantillons suivants du deuxième chip reçu sont

25 enregistrés dans les zones de mémoire suivantes ZONE4 à ZONE7. Comme on peut le voir, ces 8 premiers échantillons sont à une adresse ADD = 0 de chaque zone mémoire ZONE.

Il en est de même pour les 8 échantillons reçus suivants, ils sont enregistrés à l'adresse ADD = 1 dans les 8 zones de mémoire, et ainsi de suite jusqu'aux 8 derniers échantillons 2040 à 2047 à l'adresse ADD = 255 des zones de mémoire ZONE0 à ZONE8.

30 En 512 cycles d'horloge CLK, les zones de mémoire sont toutes remplies.

En vue d'éviter d'avoir un pointeur de lecture RD_PTR qui pointerait sur une adresse ADD ne comportant pas d'échantillon, avantageusement on attend que toute la ligne à retard D_LINE, i.e. toutes les zones de mémoire ZONE, soit remplie par des échantillons. Pour avoir une marge de sécurité, de préférence, on attend pendant un temps de 2560

35 chips, 2560 chips représentant une unité appelée slot connue de l'homme du métier.

On remarquera que lorsque deux séries d'échantillons sont reçus, elles sont écrites respectivement dans les deux séries BANK0 et BANK1 de zones de mémoire.

5 **Dans une troisième étape 3),** les deux séries d'échantillons sont lues de sorte que l'échantillon de référence IN_TIME de ces séries aient un retard τ en sortie par rapport à l'entrée, retard représentant le retard associé à un trajet FING, chaque retard associé à un trajet FING étant connu du récepteur RECEP.

10 On notera qu'avantageusement, une même sous-ligne à retard ZONE ne comporte qu'un seul échantillon utile parmi les 6 échantillons utiles IN_TIME, EARLY et LATE provenant de deux séries de chip successives, et que les échantillons utiles de chaque chip sont enregistrés à des adresses successives dans les zones de mémoire ZONE. Par conséquent, les 6 échantillons utiles (3 par chip) pourront être lus par une unique opération de lecture RD.

15 On rappelle que la contrainte posée d'obtenir en sortie de la ligne à retard D_LINE, un échantillon choisit parmi quatre échantillons, soit d'obtenir un échantillon à une fréquence de 3.84MHz, est toujours la même que celle du premier mode de réalisation. Or les échantillons d'un trajet FING sont lus tous les 8 cycles d'horloge. A ce rythme, les échantillons ne pourront pas tous sortir à temps de la ligne à retard D_LINE.

20 Aussi, pour pallier ce problème, il est nécessaire de lire 2 séries d'échantillons en même temps. On lit ainsi en parallèle un premier chip appelé courant C_CHIP et un chip suivant NEXT_CHIP.

25 La lecture des 6 échantillons utiles de ces 2 chips se fait en se fondant sur les principes suivants.

Premièrement, on détermine les adresses de lecture des échantillons utiles IN_TIME, EARLY et LATE des 2 chips traités.

30 Comme dans le premier mode de réalisation, le retard d'un trajet FING est représenté par un décalage entre le pointeur d'écriture WR_PTR et le pointeur de lecture RD_PTR, ces derniers se déplaçant de manière cyclique dans les séries BANK0 et BANK1 de zones de mémoire ZONE.

35 Ainsi, pour chaque échantillon de référence IN_TIME reçu, on a une adresse de lecture @RD égale à son adresse d'écriture @WR moins la partie entière du retard τ associé au trajet correspondant FING divisé par 2, le retard d'un trajet étant connu du récepteur RECEP.

$$@RD = [@W - \text{Ent}(\tau/2)] \text{ modulo } 256.$$

Par exemple sur les Fig. 9 et 10, si le pointeur d'écriture $WR_PTR = 7$ et si on veut un délai de 5, le pointeur de lecture $RD_PTR = 7 - \text{Ent}(5/2) = 5$ et on obtiendra le chip référencé CHIP0 comprenant les échantillons 40, 41, 42 et 43 ou 44, 45, 46 et 47.

5 Deuxièmement, on détermine la série BANK de zones dans laquelle se situe l'échantillon de référence IN_TIME du chip courant C_CHIP , appelé également échantillon de référence IN_TIME courant. Cet échantillon de référence IN_TIME peut appartenir soit à la première série de zones BANK0 de mémoire, soit à la deuxième série BANK1 de zones mémoire.

10 A cet effet, on utilise des moyens de sélection $SELECT_BANK$ de série de zones de mémoire pour déterminer en fonction du retard τ à laquelle série BANK appartient le chip courant lu. Ainsi, on a $SELECT_BANK = \text{not}(\tau \text{ modulo } 2)$.

Par conséquent, selon ce qui a été dit au premierement et au deuxièmeement, pour l'adresse de lecture $@RD$ de l'échantillon de référence IN_TIME courant, on a :

- 15
- Si le retard $\tau = 1$, $@RD = @W$ dans la première série BANK0 de zones,
 - Si le retard $\tau = 2$, $@RD = @W-1$ dans la deuxième série BANK1 de zones,
 - Si le retard $\tau = 3$, $@RD = @W-1$ dans la première série BANK0 de zones, et
 - Si le retard $\tau = 4$, $@RD = @W-2$ dans la deuxième série BANK1 de zones.

20 Dans l'exemple avec le pointeur d'écriture $WR_PTR = 7$ et le délai de 5, on aura $SELECT_BANK = \text{not}(5 \text{ modulo } 2) = 0$, soit la première série BANK0.

Troisièmement, il faut trouver la position exacte de l'échantillon de référence IN_TIME du chip courant C_CHIP dans la série BANK de zones de mémoire sélectionnée, et par suite l'emplacement exact des échantillons précédent EARLY et suivant LATE associés.

25 Cela revient à sélectionner la bonne zone de mémoire ZONE et à déterminer les adresses de lecture des échantillons les uns par rapport aux autres.

La position, i.e. la zone mémoire ZONE à laquelle appartient un tel échantillon de référence IN_TIME est ainsi déterminée par un facteur de position $DOWN_POS$.

30 Ainsi, comme le montre le tableau de la Fig. 11, selon l'exemple précédent, la série de zones de mémoire sélectionnée pour l'échantillon de référence IN_TIME courant est la première série BANK0, appelée dans ce cas série courante C_BANK , et si la valeur du facteur de position $DOWN_POS$ est égale à 1, alors, la lecture de l'échantillon de référence IN_TIME courant se fait dans la deuxième zone ZONE1, celle de l'échantillon suivant LATE associé

35 dans la troisième zone ZONE2 et celle de l'échantillon précédent EARLY associé dans la

première zone ZONE0. Dans ce cas, on peut remarquer que les adresses des trois échantillons sont égales @RD.

Après avoir déterminé les adresses des échantillons du chip courant C_CHIP, on en déduit très facilement les adresses des échantillons du chip suivant NEXT_CHIP au moyen du tableau de la Fig. 11.

Ainsi, selon toujours le même exemple, l'échantillon de référence IN_TIME suivant sera lu à une adresse @RD dans la sixième zone ZONE5, les échantillons précédent EARLY et suivant LATE associés à une même adresse @RD dans les cinquième ZONE4 et septième zone ZONE6 respectivement.

Bien entendu, comme pour le premier mode de réalisation, il y a toujours un quatrième échantillon VOID qui est lu pour chacun des chips.

Selon un deuxième exemple qui représente un cas limite, si la série de zones de mémoire sélectionnée pour l'échantillon de référence IN_TIME courant est la première série BANK0, appelée dans ce cas série courante C_BANK, et si la valeur du facteur de position est égale à 0, alors, la lecture de l'échantillon de référence IN_TIME courant se fait dans la première zone ZONE0, celle de l'échantillon suivant LATE associé dans la deuxième zone ZONE1 et celle de l'échantillon précédent EARLY associé dans la zone précédente, soit ici la huitième zone ZONE7 appartenant à la deuxième série BANK1. Dans ce cas, on peut remarquer que les adresses de l'échantillon de référence courant IN_TIME et du suivant LATE sont égales @RD, tandis que l'adresse de lecture de l'échantillon précédent EARLY est à une adresse précédente @RD-1.

Pour le chip suivant NEXT_CHIP, l'échantillon de référence IN_TIME suivant sera lu à une adresse @RD dans la cinquième zone ZONE4, les échantillons précédent EARLY et suivant LATE associés à une même adresse @RD dans les quatrième ZONE 3 et sixième zone ZONE5 respectivement.

Sur le tableau de la Fig. 11, on peut voir qu'il existe 3 autres cas limites, lorsque les adresses de trois échantillons utiles ne sont pas toutes égales et où les échantillons d'un même chip ne font pas tous partie de la même série BANK de zones de mémoire ZONE.

- lorsque le facteur de position a une valeur égale à 3 et la série de zones courante est la première série BANK0. A ce moment, l'adresse @RD+1 de l'échantillon suivant LATE du chip suivant NEXT_CHIP est à une adresse +1 de celle des 2 autres échantillons utiles associés,
- lorsque le facteur de position a une valeur égale à 3 et la série de zones courante est la deuxième série BANK1. A ce moment, l'adresse @RD+1 de l'échantillon suivant LATE du

chip courant C_CHIP est à une adresse +1 de celle des 2 autres échantillons utiles associés, et

- lorsque le facteur de position a une valeur égale à 0 et la série de zones courante est la deuxième série BANK1. A ce moment, l'adresse @RD de l'échantillon précédent EARLY du chip suivant NEXT_CHIP est à une adresse -1 de celle des 2 autres échantillons utiles associés.

De façon pratique, selon les principes énoncés ci-dessus, imaginons que nous sommes à l'adresse d'écriture @W=10, que le retard τ est égal à 2 et que le facteur de position DOWN_POS a une valeur de 3. Les échantillons des 2 chips traités ont des numéros allant de 100 à 107 pour cette adresse d'écriture 10 et de 92 à 99 pour l'adresse d'écriture 9, les numéros 92 et 100 se trouvant dans la 1^{ère} zone ZONE0 et 99 et 107 dans la 8^{ème} zone ZONE7 comme on peut le voir dans le tableau ci-après.

	ADD		@9	@10		
BANK0	ZONE0	...	92	100	NEXT_CHIP	
BANK0	ZONE1	...	93	101	NEXT_CHIP	
BANK0	ZONE2	...	94	102	NEXT_CHIP	
BANK0	ZONE3	...	95	103	NEXT_CHIP	
BANK1	ZONE4	...	96	104	C_CHIP	DOWN_POS=0
BANK1	ZONE5	...	97	105	C_CHIP	DOWN_POS=1
BANK1	ZONE6	...	98	106	C_CHIP	DOWN_POS=2
BANK1	ZONE7	...	99	107	C_CHIP	DOWN_POS=3

Le chip courant C_CHIP se situe dans la deuxième série BANK1 et l'échantillon de référence IN_TIME est à l'adresse de lecture @RD = @9.

Comme le facteur de position a une valeur de 3, l'adresse de lecture de l'échantillon de référence IN_TIME courant se situe dans la 8^{ème} zone ZONE7, celle de l'échantillon précédent EARLY associé dans la 7^{ème} zone ZONE6 et celle de l'échantillon suivant LATE associé dans la 1^{ère} zone ZONE0.

Les adresses de lecture échantillons utiles EARLY, IN_TIME et LATE du chip suivant NEXT_CHIP se situent à l'adresse @10 respectivement dans les 3^{ème}, 4^{ème} et 5^{ème} zones ZONE2, ZONE3 et ZONE4.

Dans une quatrième étape 4), comme illustré à la Fig. 7, les 8 échantillons lus (2*IN_TIME, EARLY, LATE, VOID) sont dirigés sur les six multiplexeurs MUX. Ces derniers

choisissent respectivement les échantillons de référence IN_TIME, précédents EARLY et suivants LATE du chip courant C_CHIP et du chip suivant NEXT_CHIP, en fonction du facteur de position DOWN_POS (cf. tableau de la Fig. 11), et les redirigent vers un premier démultiplexeur DEMUX0 toujours à la vitesse de 30.72MHz.

5 Le démultiplexeur DEMUX0 définit en fonction du facteur de position DOWN_POS, du retard τ et de la lecture RD effectuée de tel ou tel trajet FING, à quel trajet FING chaque échantillon utile appartient, puis il dirige chaque échantillon utile vers un ensemble de bascules à retard B et de démultiplexeurs DEMUX1 à 7 associé à chaque trajet FING.

10 A ce moment, les échantillons utiles d'un chip courant C_CHIP sont envoyés vers le processeur PROC de l'unité de gestion PROC+DEMOD du récepteur RECEP, tandis que les échantillons utiles du chip suivant NEXT_CHIP sont envoyés dans les bascules à retard B pour les retarder d'un chip (3.84MHz) par rapport aux échantillons du chip courant C_CHIP.

15 Après avoir identifié et séparé tous les différents échantillons reçus des 8 signaux d'entrée reçus selon les étapes précédentes, on les recombine de façon cohérente pour recouvrer l'information commune.

20 **Dans une cinquième étape 5),** le processeur PROC détermine selon l'énergie les échantillons de référence IN_TIME de chaque trajet FING, puis il dirige chaque échantillon de référence IN_TIME vers un démodulateur DEMOD associé audit trajet. Ledit démodulateur DEMOD combine chaque échantillon IN_TIME avec un code relatif au trajet FING associé. Par la suite, tous les échantillons de référence IN_TIME sont sommés ensemble pour retrouver l'information commune.

25 Dans l'exemple pris pour le deuxième mode de réalisation, 8 trajets sont gérés. Bien entendu, comme on a pu le voir sur la Fig. 8, ce deuxième mode de réalisation a pour avantage de pouvoir gérer jusqu'à 15 trajets en utilisant un ensemble de zones de mémoire ZONE de taille globale (256*8) égale à celle (512*4) des zones utilisées dans le premier mode de réalisation de l'invention, à une même fréquence 30.72MHz en se basant sur un système de complexité équivalente. Ce deuxième mode de réalisation utilise juste un peu
30 plus de multiplexeurs.

Bien entendu, le cadre de l'invention n'est nullement limité aux modes de réalisation décrit ci-dessus et des variations ou modifications peuvent y être apportés sans pour autant s'écarter de l'esprit et de la portée de l'invention.

35 Par exemple, on peut simplifier la gestion des zones de mémoire ZONE dans le deuxième mode de réalisation selon l'invention de la manière suivante.

Si on regarde la Fig. 11, on remarque que pour une série courante C_BANK de zones de mémoire correspondant à la deuxième série BANK1 et pour une série suivante NEXT_BANK de zones de mémoire correspondant à la deuxième série BANK1, les adresses de lectures des échantillons utiles sont identiques l'une pour l'autre pour chaque valeur de facteur de position DOWN_POS égale, et que les zones de mémoire pour une série d'échantillons lus sont également identiques.

De la même façon, on remarque que pour une série courante C_BANK de zones de mémoire correspondant à la première série BANK0 et pour une série suivante NEXT_BANK de zones de mémoire correspondant à la première série BANK0, les zones de mémoire pour une série d'échantillons lus sont également identiques pour chaque valeur de facteur de position DOWN_POS égale.

Par suite, on regroupe les zones de mémoire ZONE en fonction des deux remarques précédentes en deux groupes GROUPEA et GROUPEB comme le montre le tableau de la Fig. 12. Le premier groupe GROUPEA regroupe une série courante C_BANK et une série suivante NEXT_BANK correspondant toutes les deux la première série de sous-lignes à retard BANK0, tandis que le deuxième groupe GROUPEB regroupe une série courante C_BANK et une série suivante NEXT_BANK correspondant toutes les deux la deuxième série de sous-lignes à retard BANK1.

Aussi, au lieu de choisir dans un premier temps la série de zones de mémoire dans laquelle se trouve le chip courant C_CHIP, puis de sélectionner les bonnes zones mémoire ZONE des échantillons utiles courants en fonction de la valeur du facteur de position DOWN_POS, on sélectionne les bonnes zones mémoires ZONE en fonction de la valeur du facteur de position DOWN_POS dans chacun des deux groupes GROUPEA, GROUPEB, puis on sélectionne la série de zones de mémoire dans laquelle se trouve le chip courant C_CHIP.

On prend comme exemple un facteur de position DOWN_POS = 1 et un retard $\tau = 5$. Dans un premier temps, selon la valeur du facteur de position DOWN_POS, on choisit les zones de mémoire correspondantes dans le premier groupe GROUPEA de zones ainsi que les zones de mémoire correspondantes dans le deuxième groupe GROUPEB de zones. Selon le tableau de la Fig. 12 les zones ZONE0, ZONE1, ZONE2 du premier groupe GROUPEA sont sélectionnées, et les zones ZONE4, ZONE5, ZONE6 du deuxième groupe GROUPEB sont sélectionnées.

Le choix des zones de mémoire se fait au moyen de deux commandes GROUPEA_SEL et GROUPEB_SEL, illustrées à la Fig. 14, qui ont comme paramètre d'entrée le facteur de position DOWN_POS.

Dans un deuxième temps, on détermine la série BANK de zones dans laquelle se trouve le chip courant C_CHIP selon la formule $\text{SELECT_BANK} = \text{not}(\tau \text{ modulo } 2)$.

Ici, la première série BANK0 de zones de mémoire est la série courante C_BANK.

Dans un troisième temps, en fonction du tableau de la Fig. 13, on détermine à quel chip correspond les zones de mémoire sélectionnées dans les deux groupes GROUPA, GROUPB, i.e. au chip courant C_CHIP ou au chip suivant NEXT_CHIP.

5 Dans notre exemple, comme la première série BANK0 est la série courante, les zones de mémoire ZONE0, ZONE1 et ZONE3 du premier groupe GROUPA correspondent au chip courant C_CHIP tandis que les zones de mémoire ZONE4, ZONE5 et ZONE6 du deuxième groupe GROUPB correspondent au chip suivant NEXT_CHIP.

10 Dans le cas contraire où c'est la deuxième série BANK1 de zones qui est la série courante, on obtient l'inverse. Les zones de mémoire ZONE0, ZONE1 et ZONE3 du premier groupe GROUPA correspondent au chip suivant NEXT_CHIP tandis que les zones de mémoire ZONE4, ZONE5 et ZONE6 du deuxième groupe GROUPB correspondent au chip courant C_CHIP.

15 Ainsi, on a deux commandes de sélection C_SELECT et NEXT_SELECT de chip courant et suivant selon les zones choisies, comme indiquées à la Fig. 14.

20 Dans un troisième temps, au moyen de 6 multiplexeurs MUX, on récupère les échantillons S des 8 zones de mémoire ZONE0 à ZONE7 selon les zones sélectionnées ZONE0, ZONE1, ZONE3 et ZONE4, ZONE5, ZONE6 des deux groupes GROUPA et GROUPB, de sorte que l'on puisse retrouver les échantillons utiles IN_TIME, EARLY et LATE. Les 6 multiplexeurs MUX envoient par la suite les 3 échantillons utiles de chaque chip courant C_CHIP et suivant NEXT_CHIP à la fréquence de 30.72 MHz, vers le premier démultiplexeur DEMUX0. On se retrouve dans la quatrième étape décrite précédemment.

25 Les étapes décrites précédemment sont répétées pour les échantillons de tous les trajets FING.

30 Ainsi, selon cette première variante de réalisation du deuxième mode de réalisation, au lieu de traiter 16 cas de zones de mémoire représentés dans le tableau de la Fig. 11, on traite uniquement 8 cas représentés dans le tableau de la Fig. 12.

35 Bien entendu, l'invention n'est nullement limitée au domaine de la téléphonie mobile, elle peut s'étendre à d'autres domaines, notamment à tous ceux qui utilisent un circuit intégré nécessitant un récepteur ou une ligne à retard selon l'invention, domaines relatifs à la vidéo et notamment aux applications multimédias etc.

Aucun signe de référence dans le présent texte ne doit être interprété comme limitant ledit texte.

Le verbe "comprendre" et ses conjugaisons ne doivent également pas être interprétés de façon limitative, i.e. ils ne doivent pas être interprétés comme excluant la présence d'autres étapes ou éléments outre ceux définis dans la description, ou encore, comme excluant une pluralité d'étapes ou d'éléments déjà listés après ledit verbe et

5 précédés de l'article "un" ou "une".

REVENDICATIONS

1. Récepteur (RECEP) pour recevoir un signal d'entrée comprenant une série d'échantillons (IN-TIME, EARLY, LATE, VOID), ledit récepteur (RECEP) comportant
5 une ligne à retard (D_LINE), caractérisé en ce que la ligne à retard (D_LINE) est destinée à retarder ledit signal d'entrée d'une série de retards (τ) et est divisée en une série de sous-lignes à retard (ZONE) chacune destinée à enregistrer un échantillon parmi la série d'échantillons (IN-TIME, EARLY, LATE, VOID) dudit signal d'entrée (INPUT), et en ce qu'elle comporte des moyens de contrôle (RD_ADD_GEN)
10 destinés à générer des adresses de lecture des échantillons dans les sous-lignes à retard (ZONE) de la série d'échantillons (IN-TIME, EARLY, LATE, VOID) du signal d'entrée (INPUT) de sorte qu'une adresse de lecture soit égale à une différence entre une adresse d'enregistrement d'un échantillon dans une sous-ligne à retard (ZONE) du signal d'entrée et un retard (τ) exprimé en nombre de périodes d'échantillonnage de la série de retards (τ).
15
2. Récepteur (RECEP) selon la revendication 1, caractérisé en ce que la ligne à retard comporte une unique série de sous-lignes à retard.
- 20 3. Récepteur (RECEP) selon la revendication 1, caractérisé en ce que la ligne à retard comporte plusieurs séries (BANK) de sous-lignes à retard.
4. Récepteur (RECEP) selon l'une des revendications 1 à 3 précédentes, caractérisé en ce que une sous-ligne à retard (ZONE) est accessible à une fréquence deux fois plus
25 rapide que les échantillons d'un signal d'entrée reçu par le récepteur (RECEP).
5. Récepteur (RECEP) selon l'une des revendications 1 à 4 précédentes, caractérisé en ce qu'à une sous-ligne à retard (ZONE) est associée une zone de mémoire.
- 30 6. Récepteur (RECEP) selon l'une des revendications 1 à 5 précédentes, caractérisé en ce que les échantillons d'une série d'échantillons (IN-TIME, EARLY, LATE, VOID) sont accessibles en parallèle en enregistrement ou en lecture dans les sous-lignes à retard (ZONE).
- 35 7. Récepteur (RECEP) selon l'une des revendications 1 à 6 précédentes, caractérisé en ce que les adresses de lecture des échantillons d'une série d'échantillons (IN-TIME,

EARLY, LATE, VOID) sont à des adresses immédiatement adjacentes ou égales l'une de l'autre.

- 5 8. Récepteur (RECEP) selon l'une des revendications 3 à 7 précédentes, caractérisé en ce que deux séries d'échantillons (C_CHIP, NEXT_CHIP) sont lus en parallèle.
- 10 9. Récepteur (RECEP) selon la revendication 8 précédente, caractérisé en ce que la ligne à retard (D_LINE) comporte des moyens de sélection (SELECT_BANK) d'une série (BANK) de sous-lignes à retard à laquelle appartient une des deux séries d'échantillons lues en fonction du retard (τ).
- 15 10. Récepteur (RECEP) selon l'une des revendications 1 à 9 précédentes, caractérisé en ce que la ligne à retard (D_LINE) comporte un facteur de position (DOWN_POS) indiquant la position d'un échantillon de référence (IN_TIME) d'une série d'échantillons (IN-TIME, EARLY, LATE, VOID) d'un signal d'entrée dans la série de sous-ligne à retard à laquelle il appartient.
- 20 11. Récepteur (RECEP) selon la revendication 8 précédente, caractérisé en ce que les zones de mémoire (ZONE) sont regroupées en un premier et deuxième groupes (GROUPEA, GROUPEB), le premier groupe regroupant une série de zones courante (C_BANK) et une série de zones suivante (NEXT_BANK) pouvant correspondre toutes les deux à la première série (BANK0) de sous-ligne à retard et le deuxième groupe regroupant une série de zones courante (C_BANK) et une série de zones suivante (NEXT_BANK) pouvant correspondre toutes les deux à la deuxième série (BANK1) de sous-ligne à retard, de sorte que les zones de mémoire pour une série d'échantillons lus sont identiques pour chaque valeur de facteur de position (DOWN_POS) égale.
- 25 12. Ligne à retard (D_LINE) pour retarder un signal d'entrée (INPUT), ledit signal d'entrée comprenant une série d'échantillons (IN-TIME, EARLY, LATE, VOID), caractérisé en ce qu'elle est destinée à retarder ledit signal d'entrée d'une série de retards (τ) et qu'elle est divisée en une série de sous-lignes à retard (ZONE) chacune destinée à enregistrer un échantillon parmi la série d'échantillons (IN-TIME, EARLY, LATE, VOID) dudit signal d'entrée (INPUT), et en ce qu'elle comporte des moyens de contrôle (RD_ADD_GEN) destinés à générer des adresses de lecture des échantillons dans les sous-lignes à retard (ZONE) de la série d'échantillons (IN-TIME, EARLY, LATE, VOID) du signal d'entrée (INPUT) de sorte qu'une adresse de
- 30
- 35

lecture soit égale à une différence entre une adresse d'enregistrement d'un échantillon dans une sous-ligne à retard (ZONE) du signal d'entrée et un retard (τ) exprimé en nombre de périodes d'échantillonnage de la série de retards (τ).

- 5
13. Procédé de retardement d'un signal d'entrée (INPUT) au moyen d'une ligne à retard (D_LINE), ledit signal d'entrée comportant une série d'échantillons (IN-TIME, EARLY, LATE), caractérisé en ce qu'il comporte les étapes de :
- 10
- diviser la ligne à retard (D_LINE) en une série de sous-lignes à retard (ZONE) chacune destinée à recevoir un échantillon parmi la série d'échantillons (IN-TIME, EARLY, LATE, VOID) du signal d'entrée (INPUT), ladite ligne à retard étant destinée à retarder ledit signal d'entrée d'une série de retards (τ), et
 - générer des adresses de lecture des échantillons dans les sous-lignes à retard (ZONE) de la série d'échantillons (IN-TIME, EARLY, LATE, VOID) du signal d'entrée (INPUT) de sorte qu'une adresse de lecture soit égale à une différence
- 15
- entre une adresse d'enregistrement d'un échantillon dans une sous-ligne à retard (ZONE) du signal d'entrée et un retard (τ) exprimé en nombre de périodes d'échantillonnage de la série de retards (τ).

1/11

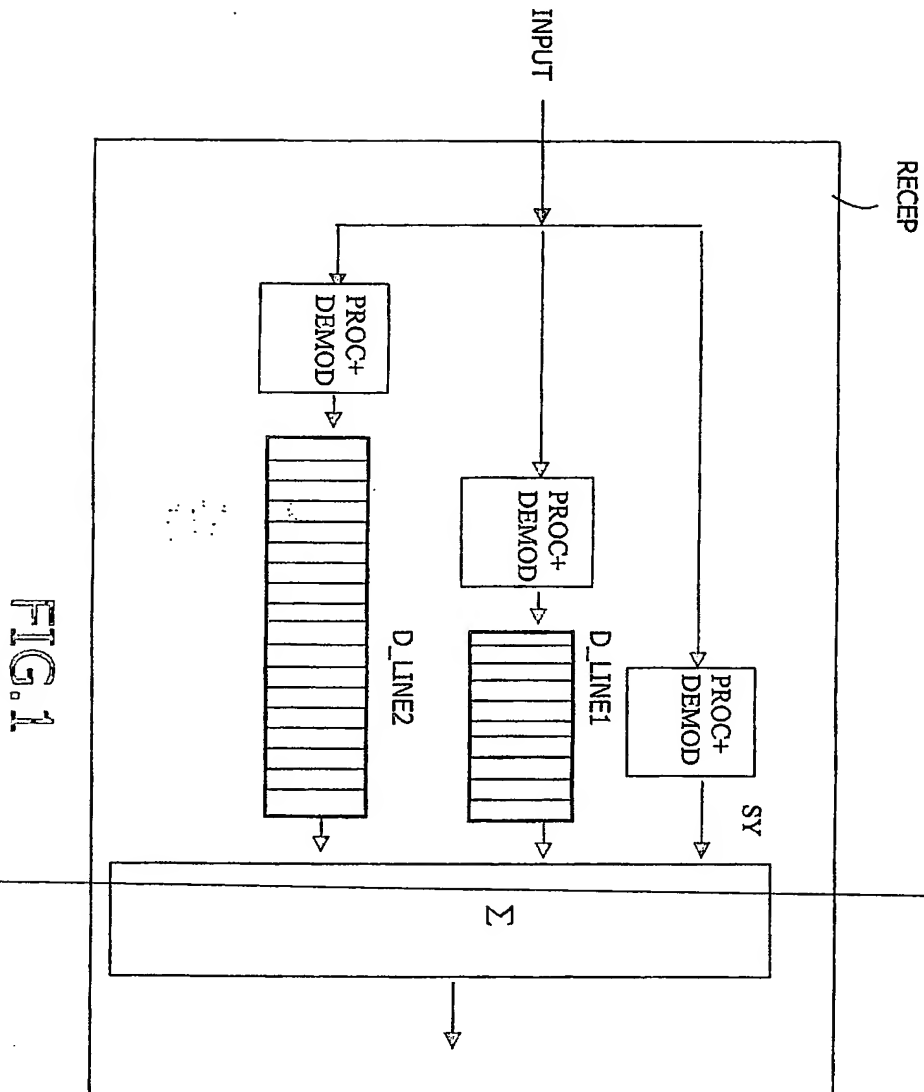


FIG. 1

2/11

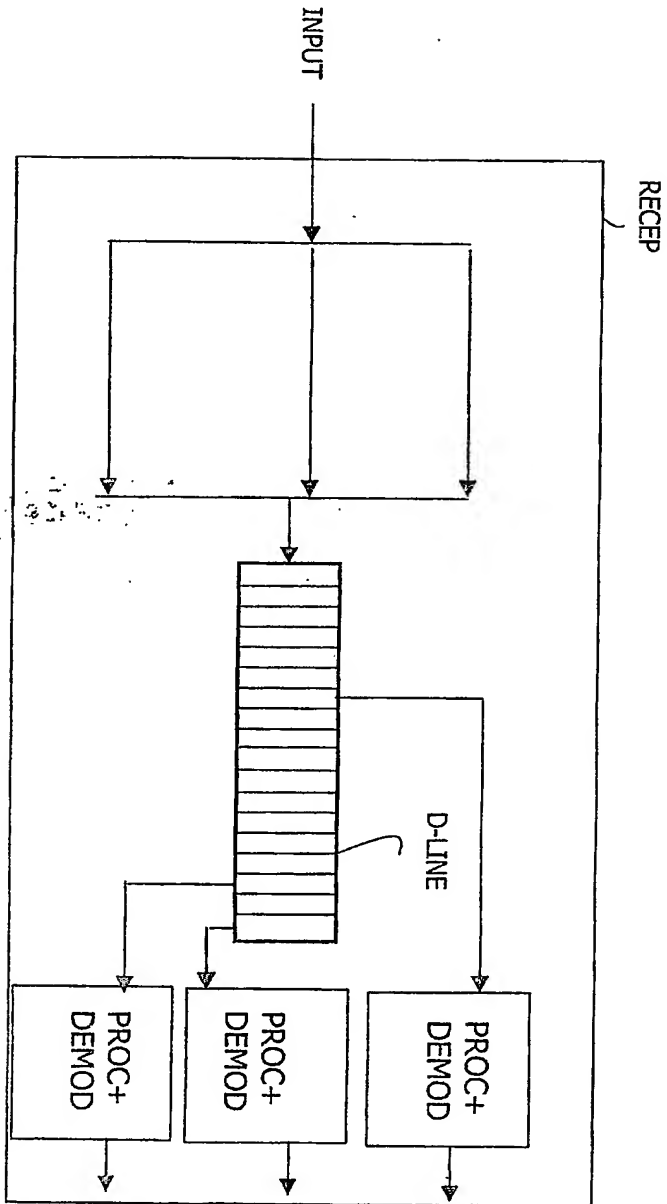


FIG.2

3/11

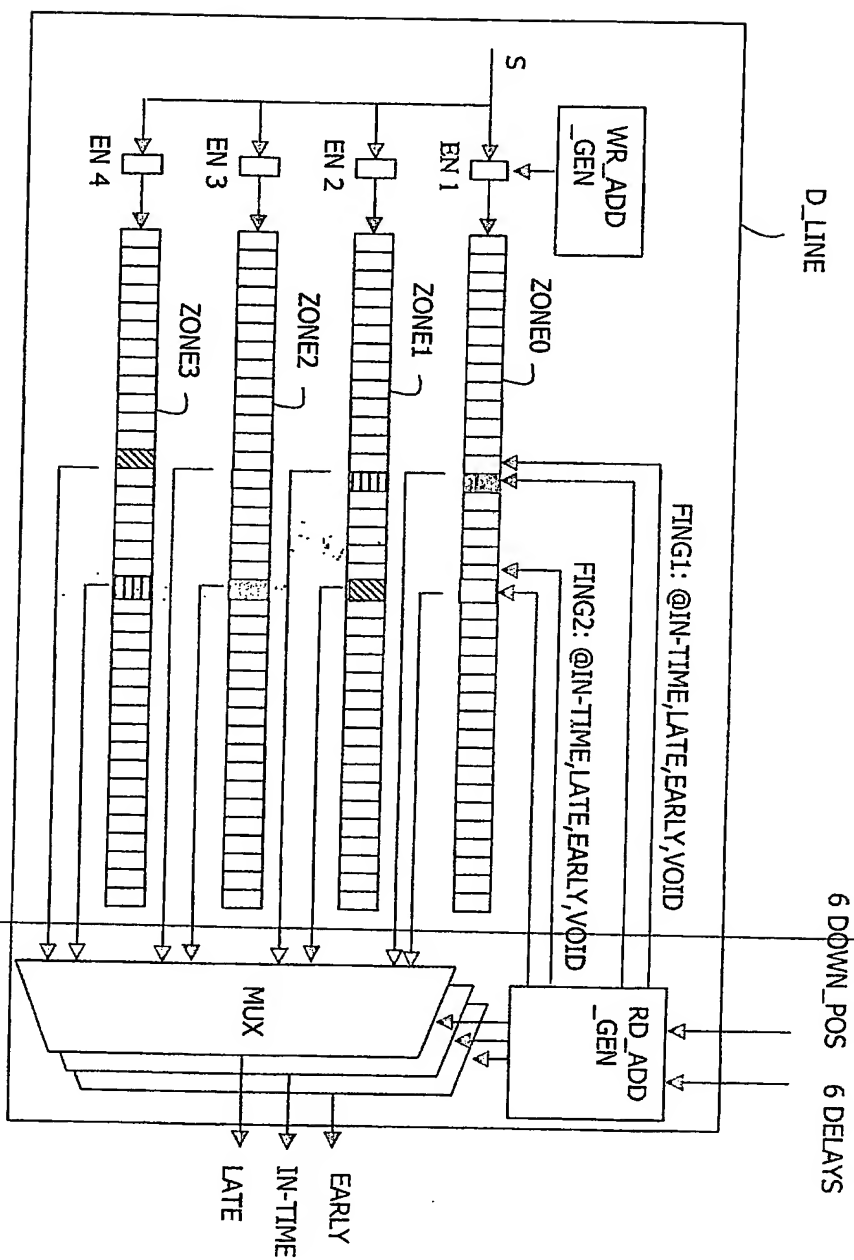


FIG.3

4/11

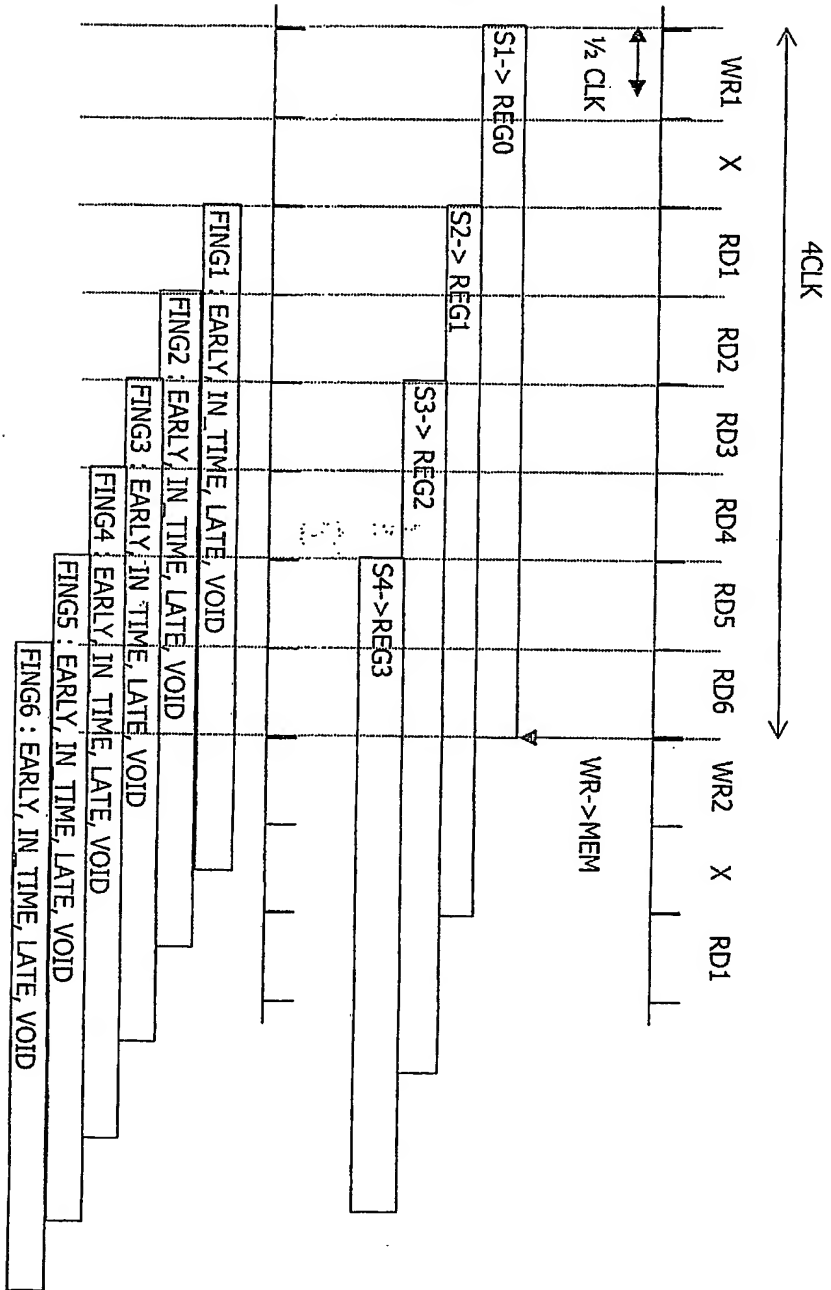


FIG.4

5/11

DOWN_POS=0		DOWN_POS=1		DOWN_POS=2		DOWN_POS=3	
ZONE0	IN_TIME		EARLY				LATE
ZONE1	LATE		IN_TIME		EARLY		
ZONE2			LATE		IN_TIME		EARLY
ZONE3	EARLY				LATE		IN_TIME

FIG.5

DOWN_POS=0		DOWN_POS=1		DOWN_POS=2		DOWN_POS=3	
@RD: ZONE0	@RD	@RD	@RD	@RD	@RD+1		
@RD: ZONE1	@RD	@RD	@RD	@RD	@RD		
@RD: ZONE2	@RD	@RD	@RD	@RD	@RD		
@RD: ZONE3	@RD-1	@RD	@RD	@RD	@RD		

FIG.6

6/11

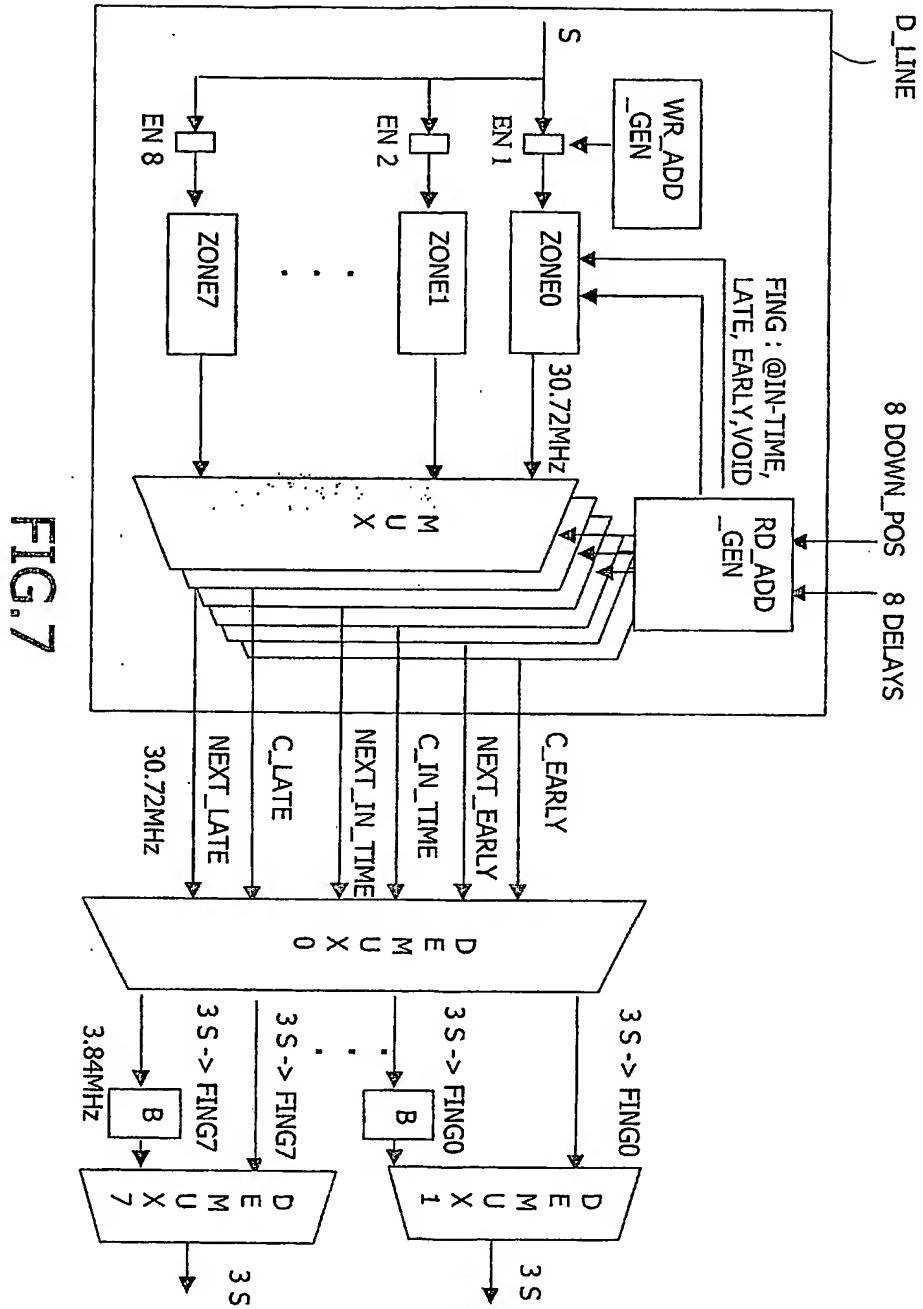


FIG. 7

1er dépôt

7/11

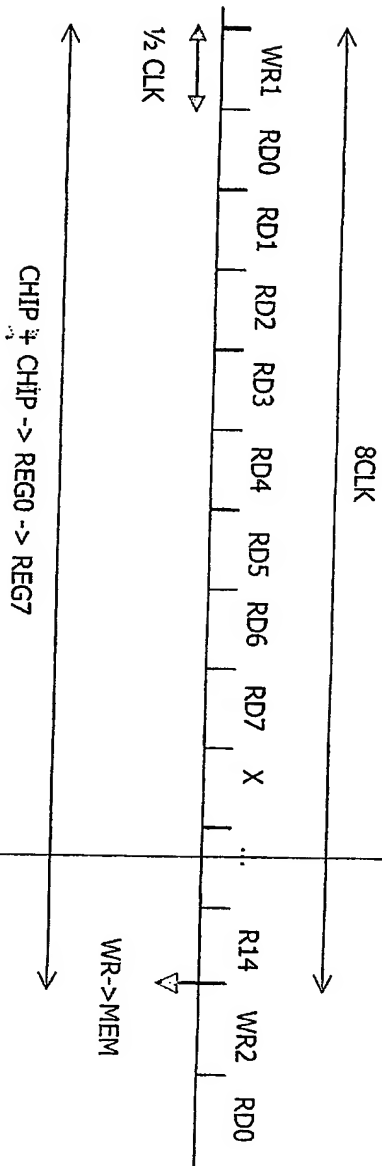


FIG. 8

8/11

t															
ADD	0	1	2	3	4	5	6	7	253	254	255				
ZONE0	0	8	16	24	32	40	48	56	2040	BANK 0		
ZONE1	1	9	17	25	33	41	49	57	2041	BANK 0		
ZONE2	2	10	18	26	34	42	50	58	2042	BANK 0		
ZONE3	3	11	19	27	35	43	51	59	2043	BANK 0		
ZONE4	4	12	20	28	36	44	52	60	2044	BANK 0		
ZONE5	5	13	21	29	37	45	53	61	2045	BANK 0		
ZONE6	6	14	22	30	38	46	54	62	2046	BANK 0		
ZONE7	7	15	23	31	39	47	55	63	2047	BANK 0		

FIG.9

BANK0						CHIP0 DELAY=5	CHIP2 DELAY=3	CHIP4 DELAY=1				
BANK1						CHIP1 DELAY=4	CHIP3 DELAY=2	CHIP5 DELAY=0				

RD_PTR WR_PTR

FIG.10

9/11

	DOWN_POS=0	DOWN_POS=1	DOWN_POS=2	DOWN_POS=3
C_BANK = BANK0	@RD, ZONE0, ZONE1 @RD-1, ZONE7	@RD, ZONE0 @RD, ZONE1, ZONE2	@RD, ZONE1 @RD, ZONE2, ZONE3	@RD, ZONE2 @RD, ZONE3, ZONE4
NEXT_BANK = BANK1	@RD, ZONE3 @RD, ZONE4, ZONE5	@RD, ZONE4 @RD, ZONE5, ZONE6	@RD, ZONE5 @RD, ZONE6, ZONE7	@RD, ZONE6, ZONE7 @RD+1, ZONE0
C_BANK = BANK1	@RD, ZONE3 @RD, ZONE4, ZONE5	@RD, ZONE4 @RD, ZONE5, ZONE6	@RD, ZONE5 @RD, ZONE6, ZONE7	@RD, ZONE6, ZONE7 @RD+1, ZONE0
NEXT_BANK = BANK0	@RD, ZONE7 @RD+1, ZONE0, ZONE1	@RD+1, ZONE0 @RD+1, ZONE1, ZONE2	@RD+1, ZONE1 @RD+1, ZONE2, ZONE3	@RD+1, ZONE2 @RD+1, ZONE3, ZONE4

FIG.11

10/11

	DOWN_POS=0	DOWN_POS=1	DOWN_POS=2	DOWN_POS=3
GROUPA = (C_BANK, NEXT_BANK = BANK0)	@RD, ZONE0,ZONE1 @RD-1, ZONE7	@RD, ZONE0 @RD, ZONE1, ZONE2	@RD, ZONE1 @RD, ZONE2, ZONE3	@RD, ZONE2 @RD, ZONE3, ZONE4
GROUPB = (C_BANK, NEXT_BANK = BANK1)	@RD, ZONE3 @RD, ZONE4, ZONE5	@RD, ZONE4 @RD, ZONE5, ZONE6	@RD, ZONE5 @RD, ZONE6, ZONE7	@RD, ZONE6, ZONE7 @RD+1, ZONE0

FIG.12

	C_SELECT	NEXT_SELECT
C_BANK = 0	GROUPA_SEL	GROUPB_SEL
C_BANK = 1	GROUPB_SEL	GROUPA_SEL

FIG.13

11/11

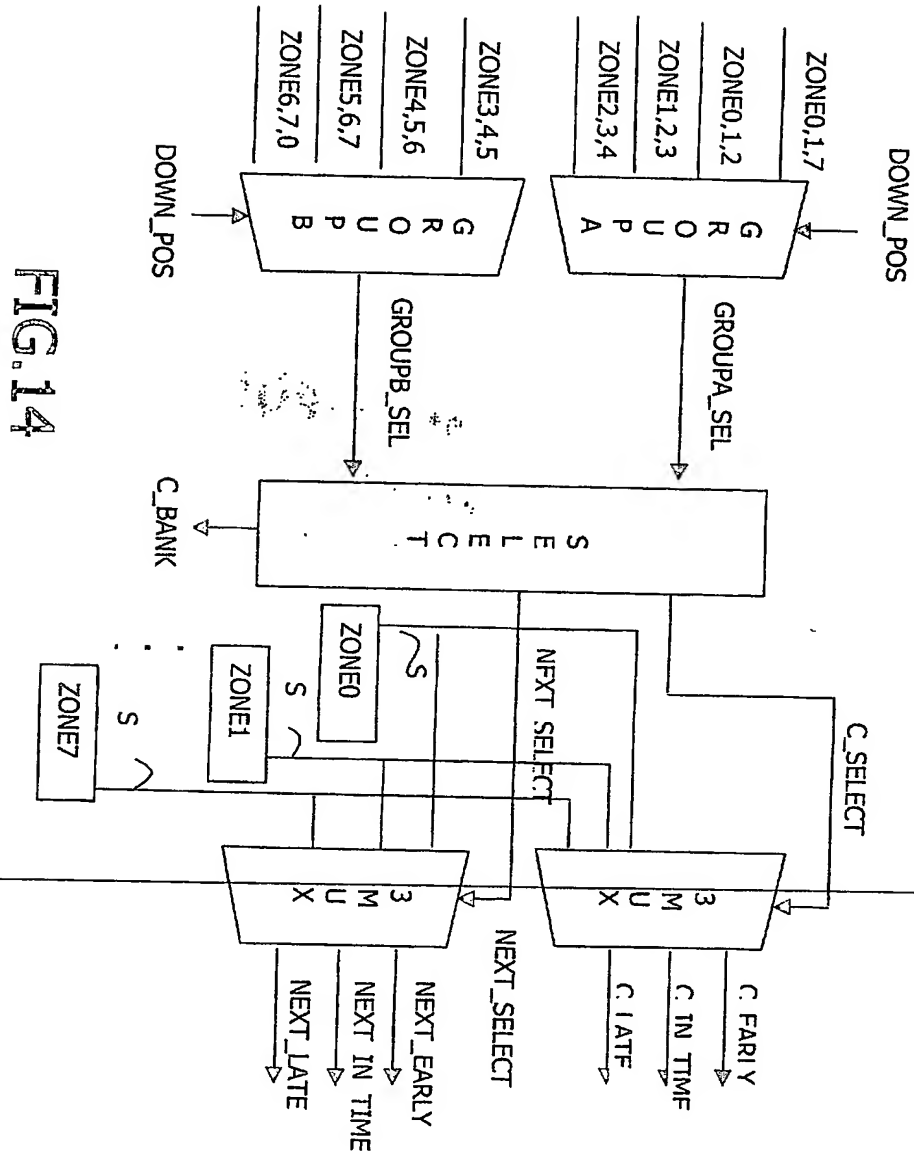


FIG. 14

reçue le 11/09/02



DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11 235 02

DÉSIGNATION D'INVENTEUR(S) Page N° 1. / 1..

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

08 113 W / 260899

Vos références pour ce dossier (facultatif)		PHFR020087	
N° D'ENREGISTREMENT NATIONAL		0210452	
TITRE DE L'INVENTION (200 caractères ou espaces maximum) Ligne à retard pour trajets de propagation multiples.			
LE(S) DEMANDEUR(S) : Koninklijke Philips Electronics N.V.			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		Ardichvili	
Prénoms		Emmanuel	
Adresse	Rue	156, Bd Haussmann	
	Code postal et ville	75008	PARIS
Société d'appartenance (facultatif)		Société Civile SPID	
Nom		Floret	
Prénoms		Christophe	
Adresse	Rue	156, Bd Haussmann	
	Code postal et ville	75008	PARIS
Société d'appartenance (facultatif)		Société Civile SPID	
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) Paris, le 21 août 2002			
Anne Utzmann-North Mandataire SPID : INPI 422-5 / S008			

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.